

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-057275

(43)Date of publication of application : 22.02.2002

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

H01L 23/12

(21)Application number : 2000-242992

(71)Applicant : IBIDEN CO LTD

(22)Date of filing : 10.08.2000

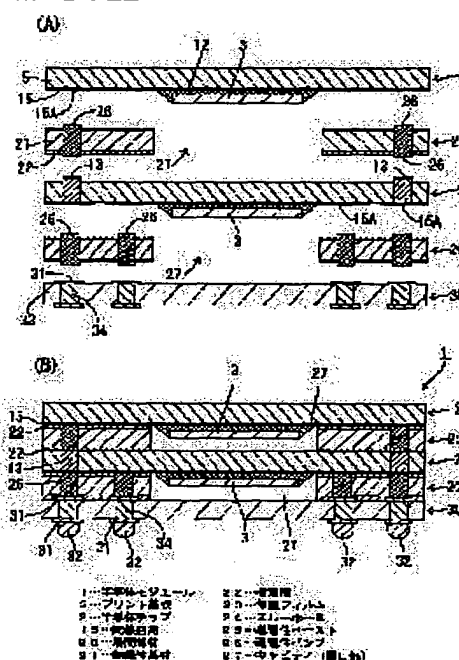
(72)Inventor : KARIYA TAKASHI

## (54) METHOD FOR MANUFACTURING SEMICONDUCTOR MODULE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for manufacturing a stacked semiconductor module in which connection reliability can be enhanced.

**SOLUTION:** At the time of forming conductive bumps 26 on an interlayer member 20, through holes 24 are made at specified positions of an insulating basic material 21 having adhesive layers 22 on the opposite sides and applied with a protective film 23. The through holes 24 are filled with a conductive paste 25 and then the protective film 23 is stripped. Consequently, the conductive bumps 26 are formed to project from the surface of the adhesive layers 22. When the interlayer member 20 is stacked together with a printed board 2 and an I/O wiring board 30, contact between a connection land 15A, a land 31 and the conductive bumps 26 is not impeded by the adhesive layer 22 and connection reliability can be enhanced.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-57275

(P2002-57275A)

(43) 公開日 平成14年2月22日 (2002.2.22)

(51) Int.Cl.<sup>7</sup>  
H 0 1 L 25/065  
25/07  
25/18  
23/12

識別記号  
5 0 1

F I  
H 0 1 L 23/12  
25/08

ターコット\* (参考)  
5 0 1 B  
Z

審査請求 未請求 請求項の数 1 O L (全 7 頁)

(21) 出願番号 特願2000-242992(P2000-242992)

(22) 出願日 平成12年8月10日 (2000.8.10)

(71) 出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(72) 発明者 荻谷 隆

岐阜県岐阜郡掛斐川町北方1-1 イビデ  
ン株式会社内

(74) 代理人 100080687

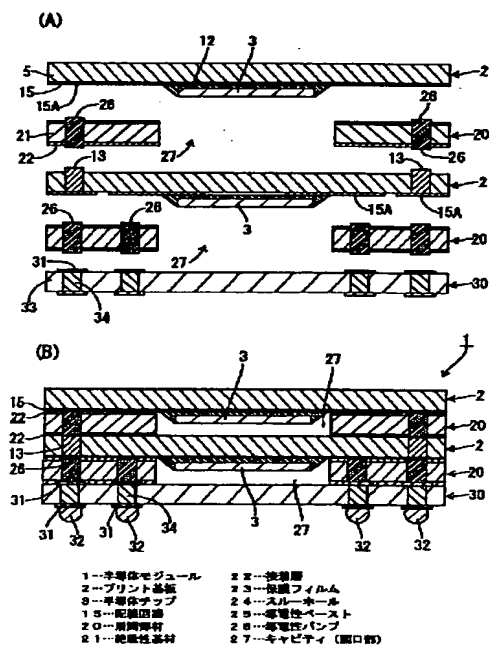
弁理士 小川 順三 (外3名)

(54) 【発明の名称】 半導体モジュールの製造方法

(57) 【要約】

【課題】 接続信頼性を高めることのできる積層型の半導体モジュールを製造できる方法を提供することにある。

【解決手段】 層間部材20に導電性バンパ26を形成する際には、両面に接着層22を形成させ、保護フィルム23を貼りつけた絶縁性基材21の所定の位置にスルーホール24を形成させ、このスルーホール24に導電性ペースト25を充填した後に、保護フィルム23を剥離する。このため、導電性バンパ26は接着層22の表面から突出するように形成される。これにより、層間部材20をプリント基板2およびI/O配線基板30とともに積層する際に、接続用ランド15A、ランド31と導電性バンパ26との接触が接着層22によって阻害されることがなく、接続信頼性を高めることができる。



(2) 開2002-57275 (P2002-57214)

## 【特許請求の範囲】

【請求項1】 所定の配線回路を形成させて一面側に半導体チップを実装した複数枚のプリント基板を、前記配線回路に接続可能な導電性バンパと前記半導体チップを収容可能な開口部とを備えた層間部材を介して積層する半導体モジュールの製造方法であって、前記層間部材となる絶縁性基材の両面に接着層を形成する工程と、前記接着層に保護フィルムを貼り付ける工程と、前記絶縁性基材の所定の位置にスルーホールを形成する工程と、前記スルーホールに導電性ペーストを充填して前記導電性バンパを形成する工程と、前記保護フィルムを剥離する工程と、前記絶縁性基材に前記半導体チップを収容可能な前記開口部を形成する工程と、前記絶縁性基材と前記プリント基板とを交互に積層して接着する工程とを経ることを特徴とする半導体モジュールの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体モジュールの製造方法に関するものである。

## 【0002】

【従来の技術】 近年には、ICチップの高密度実装化に対応するために、ICチップを積層した半導体モジュールを製造する技術が開発されてきている。例えば、特開平9-219490号公報、特開平10-135267号公報、及び特開平10-163414号公報には、そのような積層パッケージが開示されている。

【0003】 このような従来の技術では、TSOP (Thin Small Outline Package)、TCP (Tape Carrier Package)、BGA (Ball Grid Array) 等のICパッケージを一層毎に組み立てた後に、複数のICパッケージを積層する。このとき、各層間は、予め各パッケージに設けられた外部接続用の端子を介して接続される。このように従来の工法では、多くの製造工程を経なければならないことから、加工コストが増加していた。

【0004】 ところで、図6および図7には、上記のような従来の工法により製造された積層パッケージを示した。図6に示すものは、樹脂でモールドされたパッケージを積層したものである。また、図7は、図6のモジュール基板の平面図である。このICパッケージ100A、100Bには、IC実装部106と、その上面に実装されたICチップ102と、ICチップ102と外部部品とを接続するリード101と、ICチップ102とリード101とを樹脂内部で接続するボンディングワイヤ103とが設けられている。また、ICチップ102を含む所定の領域は、樹脂体104により被覆されている。

【0005】 このような構造のICパッケージ100Aの上側には、他のICパッケージ100Bが積層された状態とされて、基板105に実装されている。

## 【0006】

【発明が解決しようとする課題】 上記のICパッケージ100A、100Bを厚さ方向に積み重ねて、基板105に実装しようとする、樹脂体104の厚みのために総モジュール厚が厚くなってしまうという問題がある。また、ICパッケージ100A、100Bを横方向に基板105に実装する場合には、総モジュールが大きくなるという問題がある。さらに、上下のパッケージ100A、100Bは、それぞれのリード101によって基板105に接続されているので、パッケージ100A、100Bの積層時に位置ずれが生じると、リード101間が短絡してしまう可能性があった。

【0007】 今後は、例えばICカードや携帯電話等の電子機器の小型化に伴い、ICパッケージに対しても、更なる高密度化と薄型化が図られると考えられているが、従来の工法によっては、そのような高密度・薄型化を図ることは困難である。

【0008】 この問題を解決するためには、ICチップ102を樹脂体104でモールドする構成を変更し、例えばプリント基板を層間部材を介して積層しながらその層間にICチップを実装するという構成が考えられる。そのような構成を採用した場合には、層間部材に形成させた導電性バンパによって、その表裏に配されるプリント基板の導体回路を電気的に接続することが必要である。

【0009】 しかしながら、これらのプリント基板及び層間部材を積層する際には、各プリント基板と層間部材との間に接着層を形成することが必要であるから、その接着層の存在によって層間部材の導電性バンパとプリント基板の導体回路の接触性が阻害され、接続信頼性が低下してしまうおそれがある。

【0010】 本発明は、上記した事情に鑑みてなされたものであり、その目的は、接続信頼性を高めることのできる積層型の半導体モジュールを製造できる方法を提供することにある。

## 【0011】

【課題を解決するための手段】 上記の課題を解決するための請求項1の発明に係る半導体モジュールの製造方法は、所定の配線回路を形成させて一面側に半導体チップを実装したプリント基板を、前記配線回路に接続可能な導電性バンパと前記半導体チップを収容可能な開口部とを備えた層間部材を介して積層する半導体モジュールの製造方法であって、前記層間部材となる絶縁性基材の両面に接着層を形成する工程と、前記接着層に保護フィルムを貼り付ける工程と、前記絶縁性基材の所定の位置にスルーホールを形成する工程と、前記スルーホールに導電性ペーストを充填して前記導電性バンパを形成する工程と、前記保護フィルムを剥離する工程と、前記絶縁性基材に前記半導体チップを収容可能な前記開口部を形成する工程と、前記絶縁性基材と前記プリント基板とを交

(3) 開2002-57275 (P2002-5724

互に積層して接着する工程とを経ることを特徴とする。

【0012】

【発明の作用、および発明の効果】請求項1の発明によれば、層間部材に導電性バンプを形成させる際には、まず絶縁性基板の両面に接着層を形成させ、この接着層の表面に保護フィルムを貼りつけておく。その後、所定の位置にスルーホールを形成させ、このスルーホールに導電性ペーストを充填した後に、保護フィルムを剥離する。これにより、導電性バンプは、保護フィルムの厚さ分だけ接着層の表面から突出するように形成される。このため、導電性バンプとプリント基板の導体回路との間に接着層が噛み込んで接触を阻害することを回避でき、接続信頼性を高めることができる。

【0013】

【発明の実施の形態】以下、本発明を具体化した一実施形態について、図1〜図5を参照しつつ詳細に説明する。本実施形態の半導体モジュール1は、半導体チップ3を実装したプリント基板2と層間部材20と交互に重ね合わせ、最下層にI/O配線基板30を重ねて熱プレスすることにより一体化された構造となっている(図1参照)。

【0014】まず、半導体チップ3を実装したプリント基板2の製造方法について説明する。

【0015】プリント基板2の出発材料は、片面銅張積層板4である。この片面銅張積層板4は、例えば板状のガラス布エポキシ樹脂により形成される厚さ75 $\mu$ mの絶縁性基板5の一方の面(図3において上面)に、全面に厚さ12 $\mu$ mの銅箔6が貼り付けられた周知の構造である。この片面銅張積層板4において、銅箔6とは反対側の面をポリエチレンテレフタレート(PET)製の保護フィルム7で保護しておく(図2A)。

【0016】この保護フィルム7が施されている面側(図2において下面側)から、所定の位置に例えばパルス発振型炭酸ガスレーザ加工装置によってレーザ照射を行うことにより、絶縁性基板5を貫通して銅箔6に達するビアホール8を形成する(図2B)。加工条件は、パルスエネルギーが0.5〜10.0mJ、パルス幅が1〜100 $\mu$ s、パルス間隔が0.5ms以上、ショット数が3〜50の範囲内であることが好ましい。次いで、このビアホール8の内部に残留する樹脂を取り除くためのデスミア処理を行う。その後、銅箔6面を保護フィルム7で保護しておき、銅箔6を一方の電極として電解メッキ法によってビアホール8内にメッキ導体9を形成させる(図2C)。なお、メッキ導体9の充填深さは、その上面が保護フィルム7の表面と面一になる程度が好ましい。

【0017】次に、銅箔6側の保護フィルム7を剥離した後に、感光性のドライフィルム10を貼りつける。このドライフィルム10を所定のパターンにより露光・現像処理することにより、孔部11を形成する(図2

D)。この孔部11内に電解メッキを施すことにより、半導体チップ3を実装するための実装用バンプ12となるメッキ層を形成する(図2E)。

【0018】その後、ドライフィルム10を剥離し、実装用バンプ12を突出させる。同時に、下面側の保護フィルム7を剥離することで、メッキ導体9の先端部が絶縁性基板5の表面から突出されて接続用バンプ13とされる(図3F)。

【0019】次いで、電着法により、上面側全面と下面側の接続用バンプ13上にフォトレジスト層14を形成させる(図3G)。次に、上面側のフォトレジスト層14を所定の配線回路15のパターンに合わせて露光・現像処理する。この後、フォトレジスト層14により保護されていない銅箔6部分をエッチング処理することにより、配線回路15を形成させる(図3H)。配線回路15の一部は、後述する層間部材20の導電性バンプ26と接続するための接続用ランド15Aとされている。最後に、フォトレジスト層14を除去することにより、プリント基板2の製造が完了する(図3I)。

【0020】このプリント基板2の上面側の中央部分には、半導体チップ3が実装される(図3J)。半導体チップ3は、プリント基板2の中央に接着剤16により固着され、半導体チップ3の下面側に形成された端子部(図示せず)が実装用バンプ12に埋め込まれることにより、プリント基板2の配線回路15と電気的に接続される。

【0021】次に、層間部材20の製造方法について説明する。

【0022】層間部材20の出発材料は、板状のガラス布基材エポキシ樹脂により形成される絶縁性基材21である(図4A)。この絶縁性基材21の厚さは、後述のキャビティ(本発明の開口部に該当する)27内に半導体チップ3を収容する必要性から、プリント基板2の上面から半導体チップ3の上面までの高さよりもやや厚く、例えば130 $\mu$ mとされている。また、絶縁性基材21の上面および下面の面積は対向するプリント基板2の面積と略等しくされている。

【0023】この絶縁性基材21の両面に接着層22を形成させておき、さらにその上面をPET製の保護フィルム23で保護しておく(図4B)。次いで、保護フィルム23の上から、対向するプリント基板2の接続用ランド15Aおよび接続用バンプ13に対応する位置に、例えばパルス発振型炭酸ガスレーザ加工装置によってレーザ照射を行うことにより、絶縁性基材21の厚さ方向に貫通するスルーホール24を形成させる(図4C)。

【0024】このスルーホール24内に、導電性ペースト25を充填する(図4D)。充填は、例えばスクリーン印刷機により導電性ペースト25を保護フィルム23上から印刷することにより行うことができる。そして、保護フィルム23を剥離すると、導電性ペースト25は

(4) 開2002-57275 (P2002-57214)

保護フィルム23の厚さ分だけ接着層22の表面から突出されて導電性バンパ26とされる(図4E)。

【0025】そして、絶縁性基材21の中央部分に、例えばレーザ照射を行うことによりキャビティ27を貫通形成させて、層間部材20の製造が完了する(図4F)。キャビティ27の大きさは半導体チップ3の外形寸法よりやや大きくされて、その内部に半導体チップ3を収容可能とされている。

【0026】上記のように製造されたプリント基板2と層間部材20とを交互に重ね合わせる(図5A)。このとき、最上層にはプリント基板2が、半導体チップ3を実装された面が下面側になるように配置され、その下方には層間部材20が配置される。層間部材20は、そのキャビティ27内にプリント基板2の半導体チップ3を収容し、また、導電性バンパ26がプリント基板2の接続用ランド15Aおよび接続用バンパ13と接続可能なように重ね合わせられる。そして、その下方にはさらにプリント基板2および層間部材20が同様に重ね合わせられ、最下層にはI/O配線基板30が積層される。このI/O配線基板30は、絶縁性基材33の所定の位置にビアホール34が形成され、その上下に所定の配線回路(図示せず)およびランド31が形成されたものである。

【0027】次いで、加熱真空プレスすることによって、接着層22が硬化して上下のプリント基板2およびI/O配線基板30と接着し、半導体モジュール1が形成される(図5B)。そして、層間部材20に形成されたスルーホール24により、上下のプリント基板2およびI/O配線基板30の配線回路間が電気的に接続される。このとき、各プリント基板2の接続用ランド15A、接続用バンパ13、およびI/O配線基板30のランド31と、隣接する層間部材20の導電性バンパ26とが接続されており、これにより上下のプリント基板2およびI/O配線基板30の配線回路間が電気的に接続される。また、I/O配線基板30の下面側のランド31には、外部基板との接続用のはんだボール32が形成される。

【0028】以上のように本実施形態によれば、層間部材20に導電性バンパ26を形成する際には、まず絶縁性基材21の両面に接着層22を形成させ、この接着層22の表面に保護フィルム23を貼りつけておく。その後、所定の位置にスルーホール24を形成させ、このスルーホール24に導電性ペースト25を充填した後に、保護フィルム23を剥離する。このため、導電性バンパ26は、保護フィルム23の厚さ分だけ接着層22の表面から突出するように形成される。これにより、層間部材20をプリント基板2およびI/O配線基板30とともに積層する際に、接続用ランド15A、ランド31と導電性バンパ26との接触性が接着層22によって阻害

されることがなく、接続信頼性を高めることができる。

【0029】なお、本発明の技術的範囲は、上記した実施形態によって限定されるものではなく、例えば、次に記載するようなものも本発明の技術的範囲に含まれる。その他、本発明の技術的範囲は、均等の範囲にまで及ぶものである。

(1) 本実施形態では、層間部材20の出発材料としてガラス布基材エポキシ樹脂製の絶縁性基材21を使用した。本発明によれば絶縁性基材の材質は上記実施形態の限りではなく、例えば紙基材フェノール樹脂や、合成繊維布基材エポキシ樹脂であってもよい。

(2) 本実施形態では、I/O配線基板30の下面側には外部基板との接続用のはんだボール32が形成されているが、本発明によれば半導体モジュールと外部基板との接続は上記実施形態の限りではなく、例えば導電性のピンが用いられていてもよい。

(3) 本実施形態では、キャビティ27は導電性バンパ26の形成後に形成されているが、本発明によればキャビティの形成は上記実施形態の限りではなく、例えばスルーホールの形成と同時に進めてもよい。また、スルーホールの形成前に行ってもよい。

【図面の簡単な説明】

【図1】本実施形態におけるプリント基板と層間部材とを積層させて多層プリント配線板を製造する前の様子を示す斜視図

【図2】プリント基板の製造方法を示す断面図-1

【図3】プリント基板の製造方法を示す断面図-2

【図4】層間部材の製造方法を示す断面図

【図5】プリント基板と層間部材とを積層させて半導体モジュールを形成した断面図

【図6】従来におけるICパッケージの側断面図

【図7】(a) 従来におけるICパッケージを実装した基板の側面図

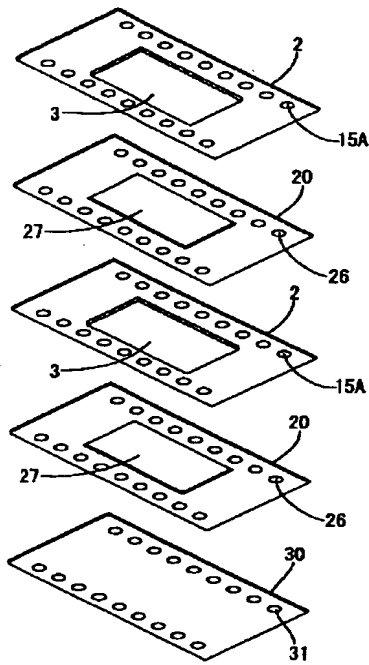
(b) 従来におけるICパッケージを実装した基板の平面図

【符号の説明】

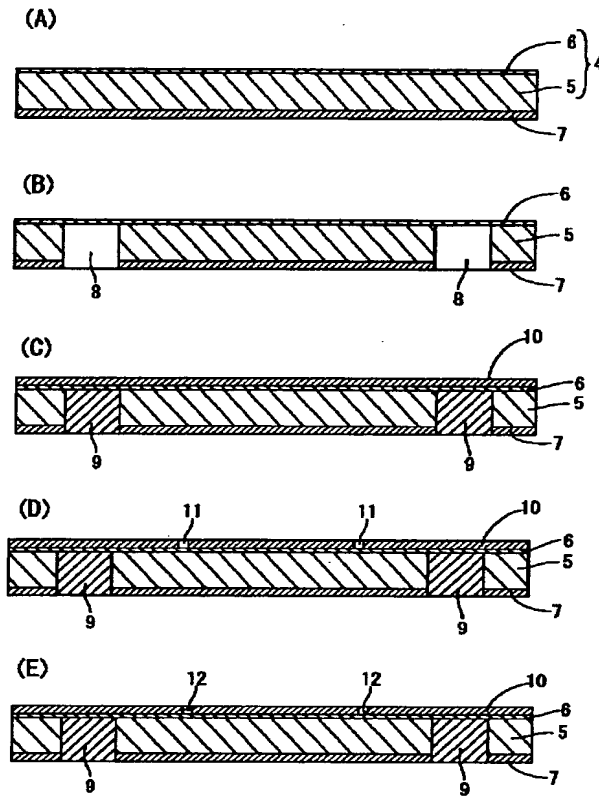
- 1…半導体モジュール
- 2…プリント基板
- 3…半導体チップ
- 15…配線回路
- 20…層間部材
- 21…絶縁性基材
- 22…接着層
- 23…保護フィルム
- 24…スルーホール
- 25…導電性ペースト
- 26…導電性バンパ
- 27…キャビティ(開口部)

(5) 開2002-57275 (P2002-5724

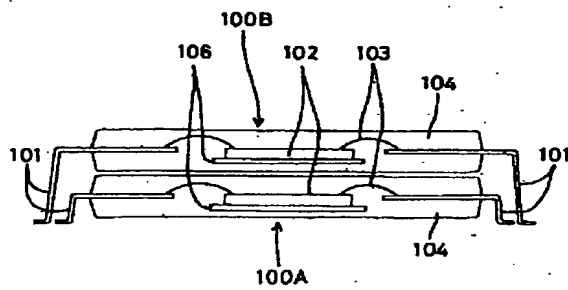
【図1】



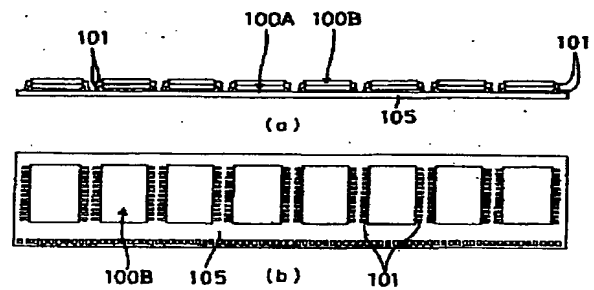
【図2】



【図6】

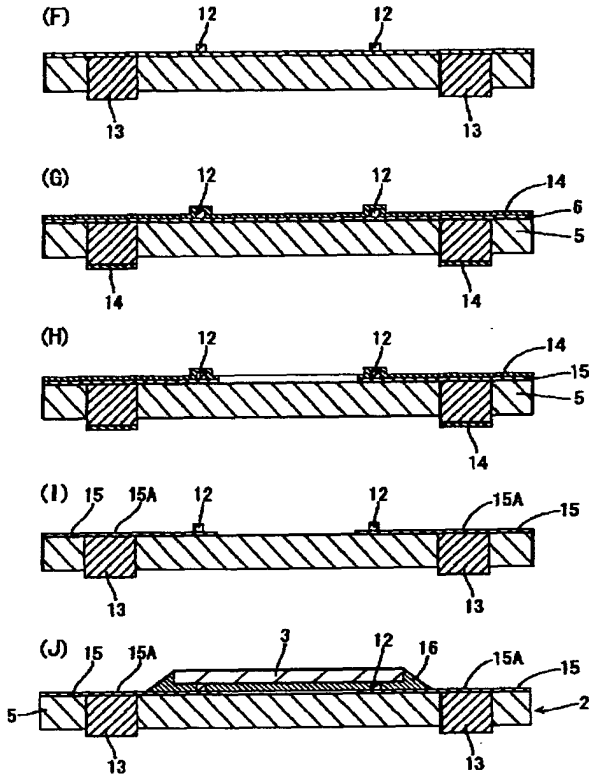


【図7】

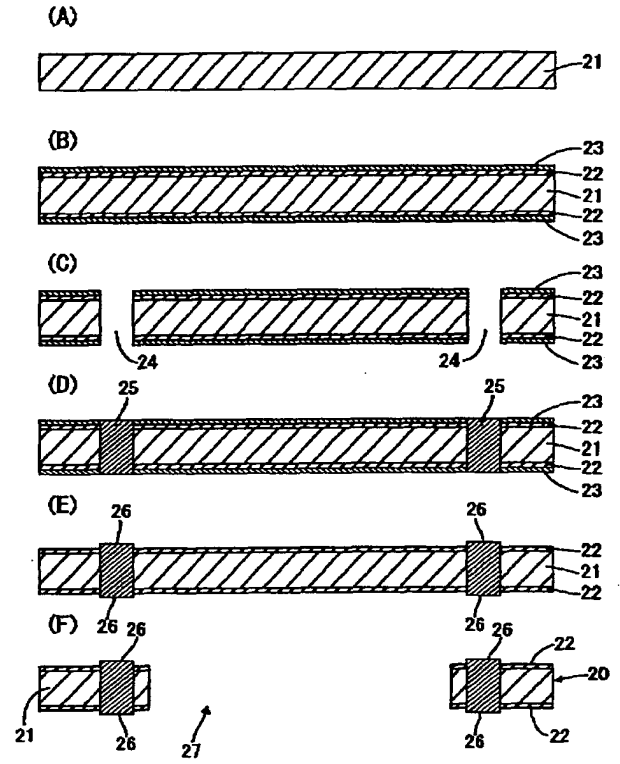


(6) 開2002-57275 (P2002-57274)

【図3】



【図4】



(7) 開2002-57275 (P2002-57274)

【図5】

